

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ
Федеральное государственное бюджетное образовательное учреждение
высшего профессионального образования
«УФИМСКИЙ ГОСУДАРСТВЕННЫЙ АВИАЦИОННЫЙ
ТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ»

Кафедра Информационно-измерительной техники

**АННОТАЦИЯ РАБОЧЕЙ ПРОГРАММЫ
УЧЕБНОЙ ДИСЦИПЛИНЫ**

*«Цифровые вычислительные устройства и
микропроцессоры»*

Направление подготовки (специальность)

12.03.01 Приборостроение

Направленность подготовки (профиль)

*Авиационные приборы и измерительно-
вычислительные комплексы*

Квалификация выпускника

Бакалавр

Форма обучения

Очная

УФА 2015

Исполнитель: доцент В.В.Неретина
Должность Фамилия И. О.

Заведующий кафедрой: В.Х. Ясовеев
Фамилия И.О.

Место дисциплины в структуре образовательной программы

Рабочая программа составлена в соответствии с требованиями Федерального государственного образовательного стандарта высшего профессионального образования (ФГОС ВПО), утвержденного приказом Министерства образования и науки Российской Федерации «21» декабря 2009 г. №756 и актуализирована в соответствии с требованиями ФГОС ВО по направлению подготовки 12.03.01 «Приборостроение», утвержденного приказом Министерства образования и науки Российской Федерации от "03" сентября 2015 г. № 959.

Дисциплина **Цифровые вычислительные устройства и микропроцессоры** является дисциплиной:

Согласно ФГОС ВПО обязательной дисциплиной вариативной части профессионального цикла.

Согласно ФГОС ВО обязательной дисциплиной вариативной части Б1.В.ОД.13.

Целью освоения дисциплины является формирование профессиональных знаний и навыков анализа, расчета, проектирования и конструирования типовых систем, приборов, деталей и узлов на схемотехническом и элементном уровнях.

Задачи: получить представление о методах анализа и расчета; знания о принципах проектирования и конструирования типовых систем, приборов, деталей и узлов на схемотехническом и элементном уровнях.

Перечень результатов обучения

Процесс изучения дисциплины направлен на формирование элементов следующих компетенций.

Планируемые результаты обучения по дисциплине:

№	Формируемые компетенции	Код	Знать	Уметь	Владеть
1	способность к наладке, настройке, юстировке и опытной проверке приборов и систем	ПК-4	– знать об основных методах программно-логического контроля правильности вычислительных процессов в ИВК.	– составлять алгоритмы и программы информационно-измерительных систем на основе встроенных микропроцессоров и микроЭВМ с использованием современных средств разработки и отладки	– схемотехническое проектирование специализированных цифровых узлов приборных комплексов
2	способность к анализу, расчету, проектированию и конструированию в соответствии с техническим заданием типовых систем, приборов, деталей и узлов на схемотехническом и элементном уровнях	ПК-5	– элементную базу современных цифро-вых вычислительных устройств, включая зарубежные аналоги; – схемотехнику построения элементов информационно-вычислительных систем на цифровой элементной базе; – схемотехнику и средства сопряжения первичных и вторичных преобразователей информации с микропроцессором и микроЭВМ; – принципы организации информационно-измерительных систем с использованием встроенных микропроцессоров и микроЭВМ; – принципы, особенности и технические средства	– разрабатывать схемотехнические решения информационно-вычислительных систем и их элементов с использованием цифровой элементной базы и встроенных микропроцессоров и микроЭВМ	– навыком построения специализированных цифровых и цифро-аналоговых вычислительных устройств приборных комплексов на основе комплектов цифровых интегральных схем различного уровня интеграции и встроенных микропроцессоров и микроЭВМ; – составления алгоритмов и программ информационно-измерительных систем на основе встроенных микропроцессоров и микро-ЭВМ с использованием

			разработки алгоритмического и программного обеспечения измерительных систем, использующих встроенные микропроцессоры и микроЭВМ		современных средств разработки и отладки
--	--	--	---	--	--

Содержание разделов дисциплины

№	Наименование и содержание раздела
1.	<p>Логические элементы и интегральные микросхемы цифровых устройств Модели цифровых устройств: логическая, с временными задержками, электрическая. Основные параметры и характеристики логических элементов (ЛЭ): передаточная характеристики ЛЭ, входная и выходная характеристики, переходная характеристика ЛЭ, коэффициент объединения по входу, нагрузочная способность, быстродействие, помехоустойчивость. Схемотехника и сравнительная характеристика базовых логических элементов ТТЛ-типа, ТТЛШ-типа, ЭСЛ-типа, КМОП-типа. Особенности выходных каскадов цифровых микросхем. Системы обозначений отечественных и зарубежных интегральных микросхем (ИМС). Разделение цифровых ИМС на подгруппы и виды по функциональному назначению. Корпуса микросхем, нумерация выводов. Условные графические обозначения микросхем: обозначения входов и выходов, обозначения сигналов и функций микросхем.</p>
2.	<p>Арифметические основы цифровой техники Системы счисления: десятичная, двоичная, восьмеричная, шестнадцатеричная, перевод чисел между различными системами счисления. Формы представления чисел: целые числа, числа с фиксированной запятой и плавающей запятой. Выполнение арифметических операций над двоичными числами.</p>
3.	<p>Теоретические основы синтеза цифровых устройств Основы булевой алгебры. Операции логического отрицания, дизъюнкции и конъюнкции. Логические функции двух переменных. Аксиомы и законы булевой алгебры. Формы представления логических функций: словесное представление, табличный способ, аналитический способ, числовой способ. Дизъюнктивная нормальная форма, конъюнктивная нормальная форма. Совершенная дизъюнктивная нормальная форма, совершенная конъюнктивная нормальная форма. Закон де Моргана. Функционально полные системы логических функций. Основы синтеза логических схемы. Минимизация логических функций: метод непосредственных преобразований, метод Квайна и Мак-Класки. Карты Карно двух, трех, четырех и пяти переменных. Запись функций в базисах И-ИЛИ-НЕ, И-НЕ, ИЛИ-НЕ. Примеры минимизации логических функций. Минимизация не полностью определенных функций. Карты Вейча. Особенности построения логических устройств на реальной элементной базе.</p>

4.	<p>Проектирование цифровых устройств комбинационного типа Методика проектирования комбинационных узлов. Шифраторы: определение, условное графическое обозначение, таблица функционирования, логические выражения для выходов, реализация в базах И-ИЛИ-НЕ, И-НЕ, ИЛИ-НЕ. Дешифраторы: определение, условное графическое обозначение, таблица функционирования, логические выражения для выходов, построение полных и неполных дешифраторов, расширение числа входов и выходов дешифраторов. Преобразователи кодов: определение, примеры построения методами "кодер-декодер" и на логических элементах. Преобразователь для цифровой индикации. Мультиплексоры: определение, условное графическое обозначение, таблица функционирования, логические выражения для выходов, мультиплексорное дерево. Мультиплексоры как универсальные логические элементы, пример реализации логических функций двух и трех переменных. Демультимплексоры: определение, таблица функционирования, логические выражения для выходов. Полусумматора и сумматоры: определение, условные графические обозначения, таблицы функционирования, логические выражения для выходов. Многоразрядные сумматоры. Пороговые и мажоритарные элементы: определение, таблицы функционирования. Двоичные компараторы: определение, таблица истинности, логические выражения для выходов, схемы компараторов с последовательным и параллельным сравнением разрядов.</p>
5.	<p>Логические устройства с программируемыми характеристиками Назначение программируемых логических схем. Структура и функционирование программируемой логической матрицы (ПЛМ). Примеры реализации на ПЛМ логических функций, скобочных форм логических функций, шифратора, дешифратора, мультиплексора и демультимплексора. Программируемая матричная логика (ПМЛ). Базовые матричные кристаллы.</p>
6.	<p>Проектирование цифровых устройств последовательностного типа Понятие последовательностного устройства. Триггеры: определение и классификация. Общая структура триггера. Конъюнктивная и дизъюнктивная бистабильные ячейки. RS-триггер, JK-триггер, D-триггер, T-триггер: таблицы функционирования, характеристические уравнения, условные графические обозначения, таблицы переходов. Регистры: определение, статические и динамические регистры. Регистры хранения: принцип работы, структурная схема, условное графическое обозначение. Регистры сдвига: принцип работы, структурная схема, условное графическое обозначение. Счетчики: определение и классификация. Последовательные счетчики: принцип работы, структурная схема, временные диаграммы. Проектирование параллельных двоичных и десятичных счетчиков с помощью словарного метода. Кольцевые счетчики, счетчики Джонсона: принцип работы, таблицы функционирования, структурные схемы. Синтез генераторов кодов на основе счетчиков и сдвиговых регистров. Синтез делителей частоты.</p>
7.	<p>Запоминающие устройства Классификация и основные параметры запоминающих устройств (ЗУ). Оперативные запоминающие устройства (ОЗУ): общая структура микросхем памяти с произвольной выборкой, характеристики статических и динамических ОЗУ, элементы памяти ОЗУ, сигналы управления, условные графические обозначения. Постоянные запоминающие устройства: характеристики масочных, программируемых и репрограммируемых ПЗУ, элементы памяти, условные графические обозначения. Увеличение объема запоминающих устройств, организация ЗУ при наращивании разрядности выходного слова и числа хранимых слов.</p>
8.	<p>Цифроаналоговые и аналого-цифровые преобразователи Назначение цифроаналоговых (ЦАП) и аналого-цифровых преобразователей (АЦП). Этапы аналого-цифрового и цифроаналогового преобразований. Теорема Котельникова. Основные характеристики ЦАП и АЦП. ЦАП с матрицей взвешенных резисторов: принцип построения, структурная схема. ЦАП с матрицей $R - 2R$: принцип построения, структурная схема, метод увеличения числа разрядов. Области применения ЦАП. Классификация АЦП. АЦП времяимпульсного типа: структурная схема, принцип работы. АЦП с двойным интегрированием: структурная схема, принцип работы. АЦП параллельного</p>

	<p>преобразования (прямого преобразования): структурная схема, принцип работы. АЦП последовательного счета (развертывающего типа): структурная схема, принцип работы, временная диаграмма. АЦП следящего типа: структурная схема, принцип работы, временная диаграмма. АЦП последовательного приближения (поразрядного уравнивания): структурная схема, принцип работы, временные диаграммы. Области применения АЦП. Схема выборки и хранения: структурная схема, принцип работы.</p>
9.	<p>Классификация, архитектура и структура микропроцессоров Назначение микропроцессорных вычислительных систем в составе приборных комплексов. Архитектура централизованных и распределенных ИВС. Определение микропроцессора (МП). Понятие архитектуры МП. Регистровая модель МП: регистры общего назначения, служебные регистры. Структура МП. Особенности, достоинства и недостатки CISC-архитектуры, RISC-архитектуры и VLIW-архитектуры МП. Особенности принстонской и гарвардской архитектур. Конвейерный принцип выполнения команд. Эффективность работы конвейера, простои и ожидания. Блоки предсказания ветвлений. Суперскалярная структура МП. Классификация МП по функциональному признаку: характеристики МП общего назначения и 8-, 16- и 32-разрядных микроконтроллеров (МК). Классификация МП по количеству БИС: однокристалльные и многокристалльные МП. Типовая структура и основные модули микропроцессорной системы (МПС). Магистральный принцип организации МПС. Системная шина: шина данных, шина адреса, шина управления, их разрядность и назначение, мультиплексирование шины адреса и данных. Основные режимы работы МПС. Выполнение основной программы: описание режима, формат типовой команды МП, командный цикл, системные такты, машинные такты. Вызов подпрограммы: описание режима, возможность вложения подпрограмм, варианты реализации стека. Обслуживание прерываний и исключений: описание режима, классификация прерываний и исключений, особенности маскируемых и немаскируемых прерываний. Прямой доступ к памяти (ПДП): описание режима, назначение контроллера ПДП.</p>
10.	<p>Программное обеспечение микропроцессорных информационных систем Основы программирования на языке ассемблер. Элементы команды на языке ассемблера: метка, мнемокод, операнды, комментарии. Основные модули программы на языке ассемблера. Основные способы адресации операндов: прямая адресация, регистровая адресация, косвенно-регистровая адресация, косвенно-регистровая адресация со смещением, косвенно-регистровая адресация с индексированием и смещением, относительная адресация, непосредственная адресация. Безадресные, одноадресные и двухадресные команды МП. Команды пересылки. Команды арифметических операций. Команды логических операций. Команды сдвига. Команды сравнения и тестирования. Команды битовых операций. Операции управления программой. Команды управления процессором. Программно-аппаратные средства отладки МПС: компиляторы, интерпретаторы, отладчики, эмуляторы, программаторы.</p>

Подробное содержание дисциплины, структура учебных занятий, трудоемкость изучения дисциплины, входные и исходящие компетенции, уровень освоения, определяемый этапом формирования компетенций, учебно-методическое, информационное, материально-техническое обеспечение учебного процесса изложены в рабочей программе дисциплины.